



EVALUACIÓN DE RIESGOS — INFORME DE EJEMPLO

Evaluación de riesgos

Revisión EMC y de seguridad pre-compliance — Micro-inversor PV de código abierto (OwnTech Foundation)

PROYECTO

OwnTech Foundation Micro-Inverter

Preparado para: Owntech

Preparado por: Ignacio de Mendizabal, Spectral Electronics

Fecha: 7 de mayo de 2026

¿Lo quieres para tu producto?

Spectral Electronics realiza evaluaciones de riesgos como esta para productos de electrónica de potencia y embebidos que se preparan para certificación.

[Pide asesoramiento → spectralelectronics.com/contact](https://spectralelectronics.com/contact)

01 · Resumen ejecutivo

Resumen ejecutivo

Hemos revisado el micro-inversor PV open-source de la OwnTech Foundation, destinado a convertir potencia DC procedente de una fuente fotovoltaica en AC apta para aplicaciones conectadas a red. El diseño incluye DC de alta tensión, etapas de conversión de potencia, circuitería AC hacia red, electrónica de control y funciones de protección. Estas características hacen que las consideraciones EMC y de seguridad sean críticas desde la fase temprana del diseño. La vía de certificación apunta al régimen UE: LVD (IEC 62109-1/-2), EMC (IEC 61000-6-x), código de red (EN 50549) y RoHS.

Riesgo global

Medio · 2 hallazgos de prioridad alta y 4 de prioridad media entre esquemático, PCB y seguridad. Los puntos de PCB (cobre bajo el choke de modo común y falta de stitching vias) y la duración del ensayo de high-pot del aislamiento son los de mayor impacto a cerrar antes de una campaña formal de laboratorio.

Hallazgos principales (vista previa)

- [R-EMC-P-01] El plano de cobre DGND bajo el choke de modo común FL3 crea un acoplamiento de alta frecuencia que reduce o cancela su efectividad — riesgo alto en EMC conducidas.
- [R-EMC-P-02] Los planos de masa sólidos del stack-up de 4 capas tienen rutas de retorno largas y pocas stitching vias, provocando ground bouncing, ruido de modo común y pérdida de margen EMC.
- [Safety-01] El choke de modo común FL3 (PDMCAT18107-102MLB) está ensayado a high-pot durante 3 s, mientras que IEC 62109 exige 60 s tras preacondicionamiento de humedad — el componente puede no cumplir la norma.
- [Safety-02] Cuatro condensadores Y de 4,7 nF a PE pueden acercar la corriente de fuga al límite de 3,5 mA AC; conviene revisar capacidad y parásitos.

Recomendación

Cerrar los cuatro puntos de mayor impacto antes de la primera visita formal al laboratorio. Los arreglos de PCB (keepout de cobre bajo FL3, stitching vias) son baratos en esta fase y eliminan las principales incógnitas EMC. La revisión del choke y de los Y-caps evita una sorpresa tardía en seguridad. El informe completo extiende cada hallazgo con trazabilidad a cláusulas de norma y plan de test recomendado.



02 · Alcance y método

Alcance y método

Este documento es una revisión preliminar de ingeniería basada únicamente en información pública del micro-inversor OwnTech Foundation (github.com/owntech-foundation/micro-inverter). No es un informe de certificación, declaración de conformidad, evaluación de marcado CE ni sustituto de ensayos en laboratorio acreditado. Su objetivo es mostrar cómo identificar riesgos EMC y de seguridad de forma temprana, cuando los cambios aún son baratos, antes del ensayo formal de cumplimiento.

Entradas revisadas (vista previa)

- Esquemáticos públicos del micro-inversor (fuentes KiCad)
- Layout PCB público del micro-inversor (fuentes KiCad)
- Documentación del proyecto OwnTech y lista de materiales
- Datasheets públicos del choke FL3, aisladores U801/U802 y convertidores DC/DC U703/U704
- Normativas de referencia: IEC 62109-1/-2, EN 50549, IEC 61000-6-x

Mercados objetivo (asumidos)

- Unión Europea — Mercado CE
- Reino Unido — UKCA
- Código de red: Europa continental (EN 50549-1)

Áreas regulatorias aplicables

- EMC — Directiva 2014/30/UE (EMC) y 2014/53/UE (RED, si se añade radio)
- Seguridad eléctrica BT — Directiva 2014/35/UE (LVD) y 2001/95/CE (Seguridad General de Productos)
- Seguridad de inversores PV — IEC 62109-1 (general) y IEC 62109-2 (grid-interactive)
- Conexión a red — EN 50549-1 (conexión BT de generadores hasta tipo B)
- Normas de producto EMC — IEC 61000-6-3 (emisiones) y 61000-6-1 (inmunidad), residencial
- RoHS — Directiva 2011/65/UE (restricción de sustancias peligrosas)

Fuera de alcance (vista previa)

- Ensayo formal de laboratorio y medidas acreditadas
- Diseño mecánico de envoltorio, grado de protección IP y validación de estrés térmico
- Evaluación detallada de ciberseguridad (RED Artículo 3.3)
- Variantes de código de red fuera de Europa continental (UL 1741 SB, AS/NZS 4777.2)
- Riesgos de fabricación, suministro y ciclo de vida



03 · Descripción del producto y del sistema

Descripción del producto y del sistema

Función prevista: convertir la potencia DC de una fuente fotovoltaica en AC apta para operación conectada a red o sobre carga AC. El diseño se divide en cadena de conversión de potencia, electrónica de control y funciones de protección, en una envolvente exterior para uso residencial.

Camino de potencia

Entrada PV (J5–J8) → protección y filtrado DC → etapa de conversión DC/DC → DC link / almacenamiento de energía → etapa inversora DC/AC → salida AC / interfaz de red (J1, J2, J3).

Control y sensado

Las medidas a lo largo de la cadena de potencia alimentan la electrónica de control, que ejecuta modulación, MPPT, sincronismo de red y lógica de protección. Las interfaces de comunicación y debug están expuestas para desarrollo.

Aislamiento y protección

Chokes de modo común y condensadores Y en el puerto AC gestionan EMC y rutas de fuga. Los aisladores U801/U802 cruzan la frontera entre control y etapa de potencia. La fuente auxiliar alimenta el dominio de control de baja tensión.

Entorno de operación

Exterior, residencial, instalación fija. Acceso de usuario cualificado. Rango de temperatura -40 °C a $+60\text{ °C}$. Grado de polución, categoría de sobretensión, altitud, humedad e IP a completar por el responsable del proyecto.



04 · Registro de riesgos — hallazgos principales

Registro de riesgos

Seis hallazgos de esta revisión, priorizados por severidad. La severidad refleja el impacto en certificación (EMC, seguridad) y fiabilidad en campo. Cada fila se detalla en los capítulos siguientes.

ID	Área	Hallazgo	P	I	Severidad	Owner
R-EMC-P-01	PCB	Cobre bajo el choke de modo común FL3	A	A	Alta	HW
R-EMC-P-02	PCB	Falta de stitching vias en stack-up de 4 capas	A	A	Alta	HW
R-EMC-S-01	Esquemático	Pines EN de los DC/DC U703 / U704 flotantes	M	M	Media	HW
R-EMC-S-02	Esquemático	Pines de entrada no usados de U801 / U802 flotantes	M	M	Media	HW
R-SAF-01	Seguridad	FL3 ensayado a high-pot solo 3 s vs 60 s de IEC 62109	M	A	Media-Alta	HW
R-SAF-02	Seguridad	Y-caps a PE acercan la corriente de fuga al límite de 3,5 mA	M	M	Media-Alta	HW



05 · Hallazgos EMC — revisión de PCB

Hallazgos EMC — revisión de PCB

Dos hallazgos de layout de PCB concentran la mayor parte del riesgo EMC. Ambos son baratos de corregir en layout y muy caros de corregir cuando las placas ya están en el laboratorio.

R-EMC-P-01 · Cobre bajo el choke de modo común

Alta

Hallazgo: el choke de modo común FL3 está sobre un plano de cobre DGND. Ese plano crea una ruta capacitiva de alta frecuencia que evita el choke, reduciendo o cancelando su efectividad frente a corrientes de modo común. Riesgo: alto — impacto directo en el margen de emisiones conducidas.

Acción: eliminar el cobre de la capa superior bajo el choke (añadir un keepout para trazas y planos bajo el footprint). Esto reduce la capacidad parásita entre planos adyacentes y restaura el comportamiento del filtro, aumentando las opciones de pasar el ensayo de emisiones conducidas.

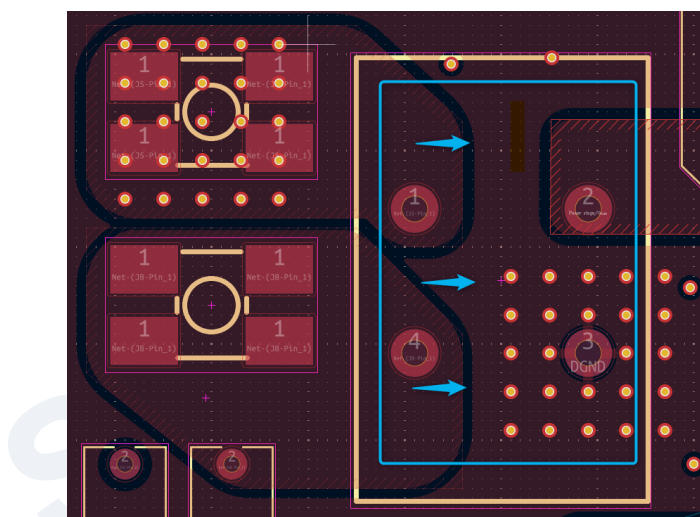


Figura: vista superior del PCB — el plano de cobre continúa justo debajo del footprint del choke de modo común (flechas azules), en lugar de estar despejado.

R-EMC-P-02 · Falta de stitching vias

Alta

Hallazgo: la placa tiene planos de masa sólidos sobre un stack-up de 4 capas — un buen punto de partida. Sin embargo, las rutas de retorno son largas y de alta impedancia porque hay muy pocas stitching vias entre planos de referencia, lo que provoca ground bouncing y ruido de modo común.

Riesgo: alto. Acción: añadir stitching vias cerca de las transiciones entre capas de señal y potencia y a lo largo de las rutas críticas de retorno. Esto acorta la ruta de retorno, reduce el área del lazo, limita el acoplamiento entre secciones ruidosas y sensibles, mejora la conexión de alta frecuencia entre planos y reduce ground bounce y ruido de modo común.



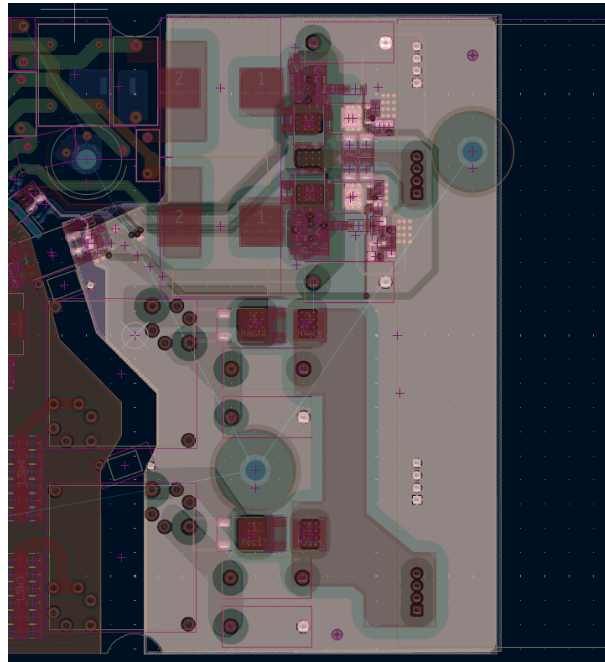


Figura: vista multicapa de la etapa de potencia — transiciones amplias entre planos de referencia con muy pocas vías de cosido, dejando caminos de retorno largos y de alta impedancia.

SAMPLE



06 · Hallazgos EMC — revisión de esquemático

Hallazgos EMC — revisión de esquemático

Dos hallazgos a nivel de esquemático sobre pines flotantes. Ambos son sencillos de corregir en la próxima revisión del esquemático y eliminan una clase de comportamiento impredecible durante ensayos de inmunidad EMC y en campo.

R-EMC-S-01 · Pines EN flotantes en los DC/DC

Media

Hallazgo: los pines de habilitación (EN) de los convertidores DC/DC U703 y U704 están flotantes. Hay una salida del microcontrolador atacándolos, pero en el arranque o bajo ensayos de inmunidad EMC el estado del EN es indefinido, lo que puede provocar arranques no controlados del convertidor y mal funcionamiento del sistema. Riesgo: medio — probable que aparezca durante ensayos de inmunidad IEC 61000-4-x. Acción: añadir una resistencia de pull-down en cada pin EN para que el estado por defecto esté bien definido y el convertidor permanezca deshabilitado hasta que el controlador active el pin.

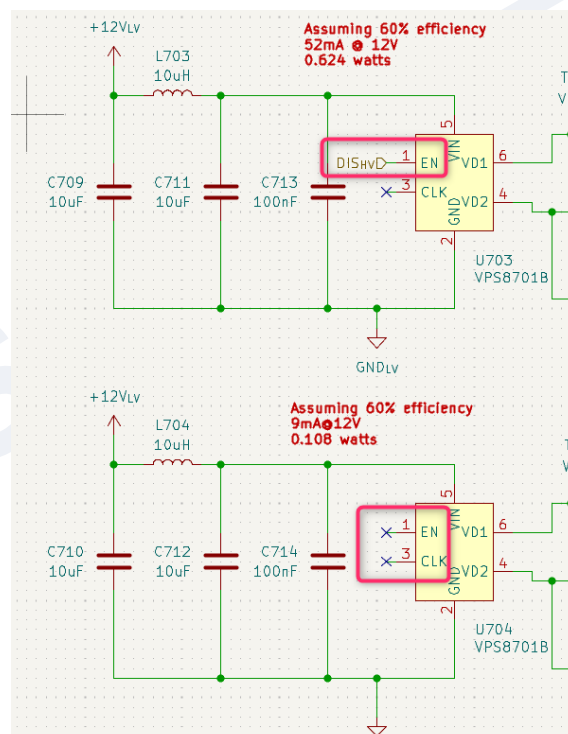


Figura: pin EN de U703 controlado desde DIS_{HVD} sin resistencia de pull-down (arriba); pines EN y CLK de U704 sin conectar (abajo).

R-EMC-S-02 · Pines de entrada flotantes en los aisladores

Media

Hallazgo: los pines de entrada no usados de los aisladores U801 y U802 quedan flotantes, por lo que sus salidas son impredecibles. Si se acopla ruido de alta frecuencia en esos pines flotantes, puede acoplarse a los canales activos y provocar mal funcionamiento durante operación normal o durante un ensayo de inmunidad radiada. Riesgo: medio. Acción: conectar los pines de entrada no usados a masa (o a un nivel de alimentación definido según el datasheet del aislador). Las salidas se mantienen estables, se reduce el crosstalk y mejora el margen del ensayo de inmunidad.



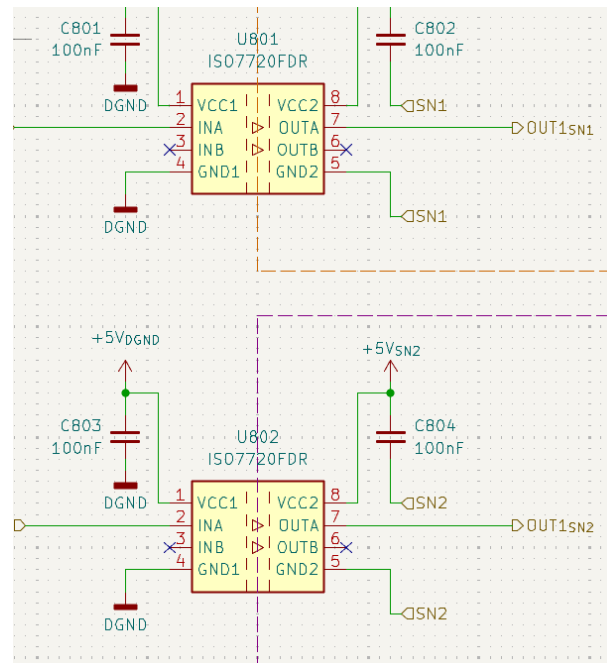


Figura: aisladores ISO7720FDR U801 y U802 — entradas INB sin conectar mientras OUTB alimenta la lógica posterior.



07 · Revisión de riesgos de seguridad

Revisión de riesgos de seguridad

Dos hallazgos de seguridad en el lado AC. Ambos están relacionados con el régimen de ensayo de high-pot y con el presupuesto de corriente de fuga que IEC 62109 impone a los inversores PV conectados a red.

R-SAF-01 · Duración del high-pot del choke FL3

Hallazgo: el choke FL3 (P/N PDMCAT18107-102MLB, LCSC C2997440) está especificado para un ensayo de high-pot de 1,5 kV AC durante solo 3 segundos a 25 °C. IEC 62109 exige una duración de 60 segundos, tras preacondicionamiento de humedad a 92,5 %HR y 42 °C. El componente, por tanto, no está directamente cualificado para la norma. Riesgo: media-alta. Acciones recomendadas: confirmar la tensión de ensayo requerida a partir de la coordinación de aislamiento de IEC 62109 y, después, (a) ensayar el choke actual bajo las condiciones de humedad y temperatura de la norma durante los 60 s completos, o (b) sustituirlo por una pieza calificada para el régimen de 60 s con preacondicionamiento.

R-SAF-02 · Corriente de fuga por Y-capacitores

Hallazgo: hay cuatro Y-capacitores de 4,7 nF conectados a PE en el lado AC. El límite de corriente de fuga de IEC 62109 para partes accesibles es de 3,5 mA AC, y el conjunto de Y-caps — junto con acoplamientos parásitos — puede acercar la fuga a ese límite o superarlo a tensión nominal de red. Riesgo: media-alta. Acciones recomendadas: verificar la capacidad real y el valor máximo admisible de Y-caps para el presupuesto de fuga objetivo, contar con los acoplamientos parásitos del layout y reequilibrar el filtro para que la fuga quede holgadamente por debajo de 3,5 mA.



08 · Preparación para certificación y documentación

Preparación para certificación

La certificación es viable sobre la base OwnTech, siempre que la documentación se construya junto al diseño y no se reconstruya después. La matriz siguiente resume las normas objetivo y la preparación actual.

Dominio	Norma	Estado	Acción
Seguridad	IEC 62109-1	En riesgo	Tabla de coordinación de aislamiento + risk file
Seguridad	IEC 62109-2	En riesgo	Medida de tiempos de fallo + límites inyección DC
Red	EN 50549-1	En riesgo	Anti-islanding activo + test de perfiles transitorios
Emisiones EMC	EN/IEC 61000-6-3	Probable pase	Pre-scan tras primer bring-up
Inmunidad EMC	EN/IEC 61000-6-1	En riesgo	Coordinación surge/EFT en puerto AC
Armónicos	IEC 61000-3-2	Probable pase	Confirmar en laboratorio
Documentación	Expediente técnico + DoC	Sin iniciar	Empezar la estructura ahora

Si más adelante se añade interfaz inalámbrica (Wi-Fi, BLE, LoRa), el producto entra también bajo RED 2014/53/UE y la base de ciberseguridad del Artículo 3.3 (obligatoria desde el 1 de agosto de 2025). Planificar ese alcance en arquitectura, no a posteriori.

¿Lo queréis para vuestro producto? Pide una llamada de asesoramiento.

<https://spectralelectronics.com/es/contact>



¿Lo quieres para tu producto?

Spectral Electronics realiza evaluaciones de riesgos como esta para productos de electrónica de potencia y embebidos que se preparan para certificación.

¿Lo queréis para vuestro producto? Pide una llamada de asesoramiento.

<https://spectralelectronics.com/es/contact>

SAMPLE

